

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-111010  
(43)Date of publication of application : 12.04.2002

(51)Int.Cl. H01L 29/80

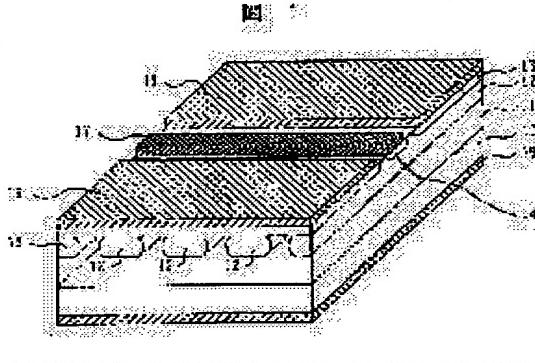
(21)Application number : 2000-297075 (71)Applicant : HITACHI LTD  
(22)Date of filing : 26.09.2000 (72)Inventor : ONOSE HIDEKATSU  
YAO TSUTOMU  
OIKAWA SABURO  
YASUDA TOSHIO

## (54) SEMICONDUCTOR DEVICE AND CONVERTER USING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a structure capable of forming a junction FET having a low on-voltage without using an alignment of an ultra-high accuracy or without requiring a fine electrode patterning.

**SOLUTION:** A plurality of channels are formed on a single n+-type source region. Further, a p+-type region is formed without direct contact with the n+-type source between the isolated n+-type source regions to be contacted with a p-type gate provided in parallel at both sides of each channel. Thus, since an n+-type source width can be broadened as compared with the unit width, an electrode step can be simplified, and effects of reducing its cost and improving its reliability are obtained.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-111010  
(P2002-111010A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 29/80

識別記号

F I  
H 0 1 L 29/80

テマコード(参考)  
V 5 F 1 0 2

審査請求 未請求 請求項の数5 O.L (全6頁)

(21)出願番号 特願2000-297075(P2000-297075)

(22)出願日 平成12年9月26日(2000.9.26)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成11年度新エネルギー・産業技術総合開発機構  
(再) 委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 小野瀬 秀勝  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
(72)発明者 八尾 勉  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
(74)代理人 100068504  
弁理士 小川 勝男 (外2名)

最終頁に続く

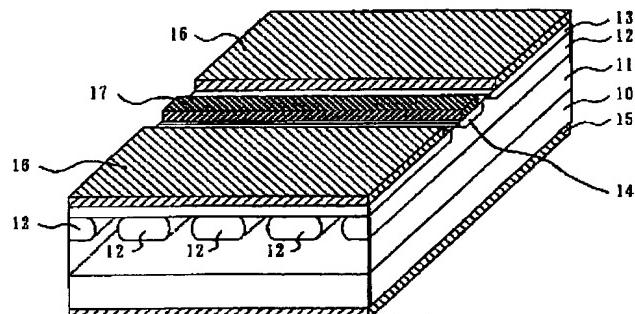
(54)【発明の名称】 半導体装置並びにそれを用いた変換器

(57)【要約】

【課題】 超高精度のアライメントを用いることなく、あるいは微細な電極パターニングを要することなく、オン電圧の低い接合FETを形成できる構造を提案する。

【解決手段】 単一のn+ソース領域に対し複数のチャネルを形成する。さらには各チャネルの両側に平行して設けられるpゲートへは、分離されたn+ソース領域間に、n+ソースとは直接接することなくp+領域を形成することによりコンタクトする。これにより、ユニット幅よりもn+ソース幅を広くできるので、電極工程を簡略化可能となり、コスト低減と信頼性向上という効果を持つ。

図 1



10…高濃度n+基板 11…低濃度n-ドリフト層 12…p+ゲート領域  
13…n+ソース領域 14…コンタクトp+領域 15…ドレイン電極  
16…ゲート電極 17…空乏化領域

## 【特許請求の範囲】

【請求項1】 シリコンよりもエネルギー・バンドギャップが広いワイド・ギャップ半導体であって、一対の主表面を有する、低不純物濃度の第一導電型の基体、前記基体の第一主表面に形成され、第一もしくは第二導電型を有し、前記基体より高濃度の第一領域と、前記第一領域の表面に形成された第一電極と、前記基体の第二主表面に形成され、前記基体と同じ導電型を有し、前記基体より高濃度の第二領域と、前記第二領域に形成された第二電極と、前記基体と異なる第二の導電型を有し、前記基体より高濃度の第三領域と、第二の導電型を有し前記第三領域に前記第二領域を介することなく接する第四領域とを備え、前記第二領域には複数の前記第三領域が形成されていることを特徴とする半導体装置。

【請求項2】 シリコンよりも絶縁破壊電界が大きな半導体であって、一対の主表面を有する、低不純物濃度の第一導電型の基体、前記基体の第一主表面に形成された第一もしくは第二導電型を有し、前記基体より高濃度の第一領域と、前記第一層の表面に形成された第一電極と、前記基体の第二主表面に形成され、前記基体と同一の導電型を有し、前記基体より高濃度の第二領域と、前記第二領域に形成された第二電極と、前記基体と異なる第二の導電型を有し、前記基体より高濃度の第三領域と、第二の導電型を有し前記第三領域に前記第二領域を介することなく接する第四領域とを備え、前記第二領域には複数の前記第三領域が形成されていることを特徴とする半導体装置。

【請求項3】 シリコンよりもエネルギー・バンドギャップが広いワイド・ギャップ半導体であって、一対の主表面を有する、低不純物濃度の第一導電型の基体、前記基体の第一主表面に形成された第一もしくは第二導電型を有し、前記基体より高濃度の第一層と、前記第一層の表面に形成された第一電極と、前記基体の第二主表面に形成され、前記基体と同一の導電型を有し、前記基体より高濃度の第二領域と、前記第二領域に形成された第二電極と、前記基体と異なる第二の導電型を有し、前記基体より高濃度の第三領域と、第二の導電型を有し前記第三領域に前記第二領域を介することなく接する第四領域とを備え、前記n+ソースの幅はユニットの幅より広いことを特徴とする半導体装置。

【請求項4】 前記ワイド・ギャップ半導体はSiC、GaN、GaAs、ダイアモンドのいずれかである請求項1の半導体装置。

\*

$$V_{on} = (Lnd - Lchef + Lch) + Lchef \times W_{unit} / (q \mu n) \times J \dots (1)$$

ここで q は電荷 ( $1.6 \times 10^{-19}$  C)、 $\mu$  は移動度、n はドリフト領域の電子濃度、J は電流密度である。図5は式1を用いて計算したオン電圧のWunit依存性である。計算では耐圧2000Vを想定し、 $n = 3 \times 10^{15} \text{ cm}^{-3}$ 、 $Lnd + Lch = 20 \mu \text{m}$ 、 $\mu = 720 \text{ cm}^2/\text{Vs}$ とした。Wunitが大きくなるにつれ、オン電圧が増加している。増加の度合いはWchの狭い方が

50

\* 【請求項5】 一対の入力端子と、一組の出力端子とを有する請求項1ないし4の何れか一つに記載の半導体装置を用いた変換器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は電界効果トランジスタの構造に関する。

## 【0002】

【従来の技術】 接合型電界効果トランジスタ(Field Effect Transistor、以下FETと略称する)はチャネルに酸化膜界面を持たない上に、PN接合を経由しないでソースードレイン間に電流が流れる構造であるため、界面状態や反転層の影響を受けることがなく、低オフ抵抗素子として期待される。

【0003】 図3は特願平9-100026号公報で示されている接合型FETを示す模式的断面図で、高濃度n+基板(ドレイン領域)10、低濃度(高抵抗)n+エピタキシャル層(ドリフト層)11、Pゲート領域12、高濃度n+ソース領域13、ゲートコントラクト用P+領域14、ドレイン電極15、ソース電極16、ゲート電極17から構成されている。

【0004】 図4は接合型FETを示す模式的俯瞰図であり、Pゲート12、n+ソース13、p+領域14、ドレイン電極15、ソース電極16、及びゲート電極17はストライプ状に配置される。

## 【0005】

【発明が解決しようとする課題】 オン状態においてソースn+13から出た電子は、pゲート12の間のチャネルを通り、ドリフト層11を経てドレインn+10に至る。その際、pゲート12の下部には電流が流れないと空乏化領域18が形成されるため、実効的チャネル長Lchefはpゲート12の深さであるチャネル長Lchより長くなっている。

【0006】 SiCの場合、典型的にはLchef-Lch~1 μmである。簡単のためチャネル部とドリフト領域ではそれぞれ均一に電流が流れていると考える。素子のユニット幅をWunit、チャネル幅をWchとすると、チャネルにおける電流密度はドリフト領域の電流密度に対しWunit/Wch倍になる。ドリフト領域の長さをLnd、オフ抵抗をRonとすると、全体のオフ電圧Voffはn+ドレイン10の電圧降下を無視して次式で近似できる。

## 【0007】

【0008】 SiCは熱拡散係数が小さいため、n+ソース13やpゲート12、コンタクトp+14はイオン注入により選択的に形成される。選択的にパターンを形成するには、パターン間のアライメント精度が重要である。

【0009】 アライメントはn+ソース-pゲート間、

$n+$ ソースーコンタクト  $p+$  間、さらには、ソース電極  $n+$  ソース間、ゲート電極ーコンタクト  $p+$  間で要求される。アライメント精度が  $2\mu m$  の場合、ユニット幅  $W_{unit}$  は  $W_{ch} + 1.2 + \text{ゲート電極幅}$  が最低必要になる。

【0010】ゲート電極幅 =  $2\mu m$  とすると、 $W_{unit} = W_{ch} + 1.6\mu m$  が最低でも必要になり、 $W_{ch} = 2\mu m$  では  $W_{unit} = 18\mu m$  となる。 $W_{unit} \sim 2 \times W_{ch} = 4\mu m$  が理想と考えられる。その場合、 $12\mu m$  の領域がデッドスペースとなり、SiCの特長である低オン抵抗実現を妨げている。

【0011】一方その対策として、超微細アライメント装置により、精度を向上させることで対応する方法もある。しかしながら、チャネル幅微細化に応じた  $n+$  ソース幅ならびにユニット幅微細化が必要な場合、電極幅の微細化も不可欠であるが、SiCでは電極の接着性が弱いため、微細電極パターンの形成は著しく困難になる。

【0012】本発明の目的は、超高精度のアライメントを用いることなく、あるいは微細な電極パターニングを要することなく、オン電圧の低い接合FETを形成できる構造を提案することである。

#### 【0013】

【課題を解決するための手段】上記問題を解決するために、本発明では単一の  $n+$  ソース領域 13 に対し複数のチャネルを形成するようにしたものである。さらには各チャネルの両側に平行して設けられる  $p$  ゲートへは、分離された  $n+$  ソース領域間に、 $n+$  ソースとは直接接することなく  $p$  領域を形成することによりコンタクトとしたものである。

【0014】単一の  $n+$  ソース領域に対し複数のチャネルを形成することにより、 $n+$  ソース領域とチャネルを形成するための  $p$  ゲート間のアライメント精度に制約が存在しない。さらに各チャネルの両側に平行して設けられる  $p$  ゲートへは、分離された  $n+$  ソース領域間に形成された  $p$  領域よりコンタクトする構造としたため、 $p$  ゲート幅に対するコンタクト  $p$  領域幅の制約とゲート電極ーコンタクト  $p$  間のアライメント精度の制約が存在しない。

【0015】また  $n+$  ソースーコンタクト  $p+$  間とソース電極  $-n+$  ソース間のアライメント精度の制約を、複数のチャネルに対し設けられている単一の  $n+$  ソース領域とコンタクト  $p$  領域に共通化でき、各チャネルから開放することができる。

【0016】これらにより、ユニット幅  $W_{unit}$  を理想的な幅に設定することが可能となり、高精度のアライメントを要することなくオン電圧の低減を図ることができる。さらに  $n+$  ソースは微細化を要しないため、電極パターンの微細化が必要なく、パターニング不良の問題を回避することができる。

#### 【0017】

【発明の実施の形態】以下、本発明を実施例を開示しながら詳細に説明する。

【0018】図1は本発明の第1の実施例であり、SiC接合FETの略式鳥瞰図である。図において10はドレイン領域となる高濃度  $n+$  基板、11はドリフト層となる  $n$ 型エピタキシャル層、13は  $n+$  ソース領域、12は  $p$  ゲート領域、14はコンタクト  $p$  領域、15はドレイン電極、16はソース電極、17はゲート電極である。

【0019】本実施例においては単一の  $n+$  ソース領域 13 に4本のチャネルが配置された構造を示している。 $n+$  ソース領域 13 のピーク濃度は  $1 \times 10^{19} \text{ cm}^{-3}$ 、深さ 0.3  $\mu m$  であり、 $p$  ゲート 12 のピーク濃度は  $1 \times 10^{18} \text{ cm}^{-3}$ 、深さ 1.5  $\mu m$ 、とした。ドリフト層 11 の濃度は  $3 \times 10^{15} \text{ cm}^{-3}$ 、厚さは 20  $\mu m$  である。

【0020】本実施例においては、分離された  $n+$  ソース領域 13 間にこの  $n+$  ソース領域 13 に直接接することなくコンタクト  $p$  領域 14 を設け、かつこのコンタクト  $p$  領域 14 内に含まれるようにゲート電極 17 を形成した。コンタクト  $p$  領域 14 のパターンは、長手方向がチャネル、即ち、 $p$  ゲート領域の長手方向に垂直になるように形成した。

【0021】尚、必ずしも互いの長手方向が直交する必要はなく、任意のパターンでも良い。これにより  $p$  ゲート 12 の幅を  $2\mu m$  にでき、チャネル幅  $W_{ch}$  ( $p$  ゲート 12 の間隔) が  $2\mu m$  の場合、チャネル当たりのユニット幅は  $4\mu m$  と、理想的な寸法に設計することができた。

【0022】コンタクト  $p$  領域の間隔は  $p$  ゲート 12 のCR時定数との関係で決定される。本実施例では  $p$  ゲート 12 の幅  $2\mu m$  の10倍とし、 $20\mu m$  とした。接合FETは一般に熱平衡状態ではチャネルが開いたノーマリオン型であるため、チャネルを遮断するにはゲート電極 17 に負の電圧を印加する必要がある。

【0023】SiCは絶縁破壊電界が高いため、高濃度ー高濃度の  $p-n$  接合であっても耐圧を実現できる特徴があるが、チャネルを遮断するための十分な耐圧を確保するには、ソースーゲート間接合における  $p$  ゲート 12 の濃度に制限がある。

【0024】数十Vの耐圧のためには、 $10^{16} \text{ cm}^{-3}$  のオーダーであることが望ましい。一方、ソースードレイン間で高耐圧を実現するには、 $p$  ゲート 12 の濃度に下限が存在し、2500Vの場合は  $10^{17} \text{ cm}^{-3}$  のオーダーであることが望ましい。

【0025】従って本実施例においては、図2に示す様に  $p$  ゲート 12 のピーク濃度の位置を、ソースードレイン間接合より深い場所に設定し、かつソースードレイン間接合における  $p$  ゲート濃度を  $5 \times 10^{16} \text{ cm}^{-3}$  とした。これにより、ソース領域 13 に対するゲート耐圧として、100Vを実現できた。

【0026】図6は本発明を適用した接合FETによるオン電圧の低減効果を説明するI-Vカーブ化できるので、大電流においても低いオン電圧を実現できた。このことは同一のオン電圧で比較すると、電流密度を向上で

きることを意味する。

【0027】図7は本発明の第二の実施例を示す回路図であり、本発明の接合FETをスイッチング素子に用いた高周波発信回路の例である。また接合FETの出力特性比較を図8に示す。図においては、ゲート電圧がパラメーターとなっており、ドレイン電流が最も大きな場合はゲート電圧が0Vの結果である。

【0028】本発明による効果は接合FETのドレイン電流が飽和する電圧が、従来に比べ低くできることである。図8で示すように、従来のV<sub>min0</sub>からV<sub>min1</sub>に下げる事ができた。これにより負荷曲線は従来の負荷線25から本発明の負荷線26に移すことができるため、損失の少ない高周波発信器を実現できた。なお高周波動作のためには、浮遊容量を減らすために、その間に誘電体を挟まない空中配線が用いられる。

【0029】本発明によればチャネルごとに単独であったソース電極を、複数のチャネルで共通化できるため、空中配線の密度を減少できるという利点があり、空中配線プロセスの簡素化が図れ、結果として信頼性も向上できるという効果がある。

【0030】図9は本発明の第3の実施例であり、本発明を適用した接合FETを使ったインバータ装置の略式回路図である。

【0031】図において20は本発明による接合FETである。また27は本発明によるダイオードである。一組の入力P1とN1及びP2とN2は、それぞれ相補的な入力であり、これによりP1とN1およびP2とN2に対応した接合FETは、独立してスイッチング動作し、正弦波の出力を得るものである。

【0032】本発明による接合FETは、オン電圧を低くすることができるので、この半導体装置が発生する損失を低減でき、これによりインバータ装置を用いたシステムの効率向上を達成できた。

【0033】以上、上記実施形態例においてはSiC素子\*

\*の場合で説明したが、本発明はこれにとどまることはなく、他の絶縁破壊電界がSiより大きな半導体を用いた場合にも適用でき、窒化ガリウム(GaN)等のワイドギャップ半導体にも有用である。

#### 【0034】

【発明の効果】本発明によれば、ユニット幅よりもn+ソース幅を広くできるので、電極工程を簡略化可能となり、コスト低減と信頼性向上という効果がある。

#### 【図面の簡単な説明】

10 【図1】本発明の実施形態例を示す接合FETの鳥瞰図である。

【図2】本発明の接合FETの動作を説明するための模式的濃度分布図である。

【図3】従来の接合FETを示す略式断面図である。

【図4】従来の接合FETを示す鳥瞰図である。

【図5】オン電圧のユニット幅依存性を示す概略計算結果である。

【図6】本発明によるオン電圧低減効果を示すI-V特性図である。

20 【図7】本発明による接合FETを用いた第一の回路図である。

【図8】本発明による接合FETの効果を説明するI-V特性図である。

【図9】本発明による接合FETを用いた第二の回路図である。

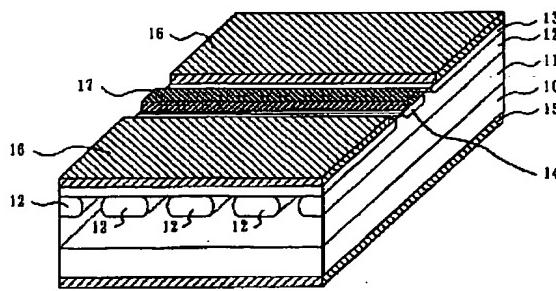
#### 【符号の説明】

10…高濃度n+基板、11…低濃度n-ドリフト層、12…pゲート領域、13…n+ソース領域、14…コンタクトp+領域、15…ドレイン電極

30 16…ゲート電極、17…空乏化領域、20…本発明による接合FET、22、23…コンデンサー、24…コイル、25…従来例の接合FETによる負荷曲線、26…本発明の接合FETによる負荷曲線、27…フリーホイルダイオード。

【図1】

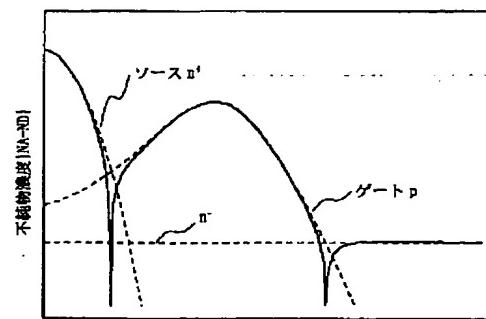
図 1



10…高濃度n+基板 11…低濃度n-ドリフト層 12…pゲート領域  
13…n+ソース領域 14…コンタクトp+領域 15…ドレイン電極  
16…ゲート電極 17…空乏化領域

【図2】

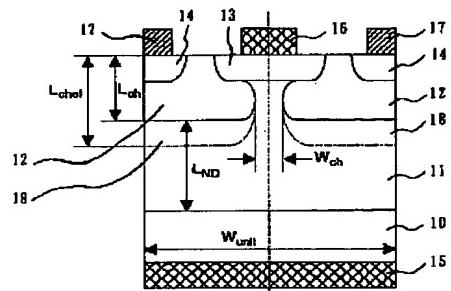
図 2



表面からの深さ

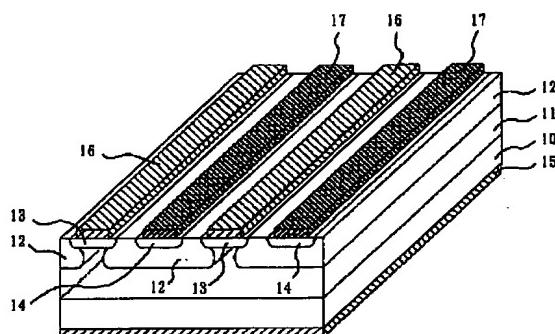
【図3】

図 3



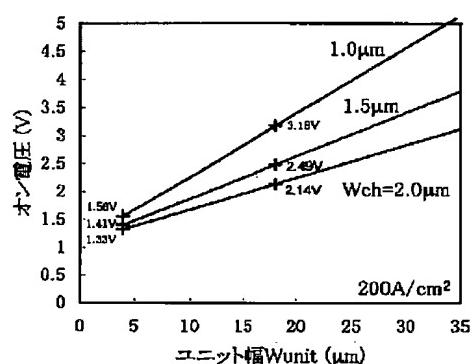
【図4】

図 4



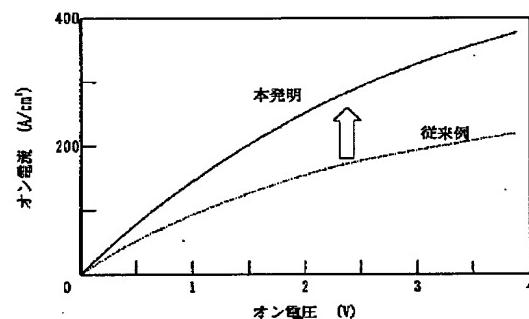
【図5】

図 5



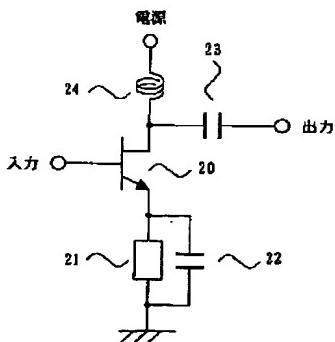
【図6】

図 6



【図7】

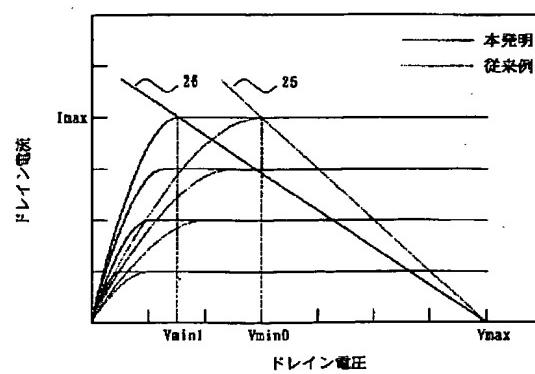
図 7



20…本発明による接合FET 22, 23…コンデンサー 24…コイル

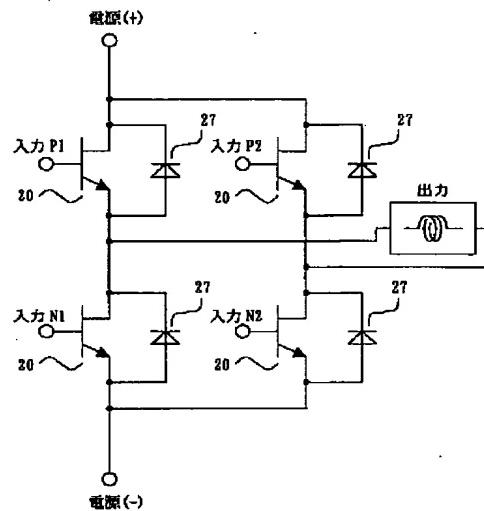
【図8】

図 8



【図9】

図 9




---

フロントページの続き

(72) 発明者 及川 三郎

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72) 発明者 安田 俊夫

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

F ターム(参考) 5F102 FA00 GA01 GA14 GA15 GA16

GB04 GC07 GC08 GD04 GJ02

GJ05 GJ10 GV01